



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020094598 (43) Publication.Date. 20021218

(21) Application No.1020010032906 (22) Application Date. 20010612

(51) IPC Code:  
H01L 27/108

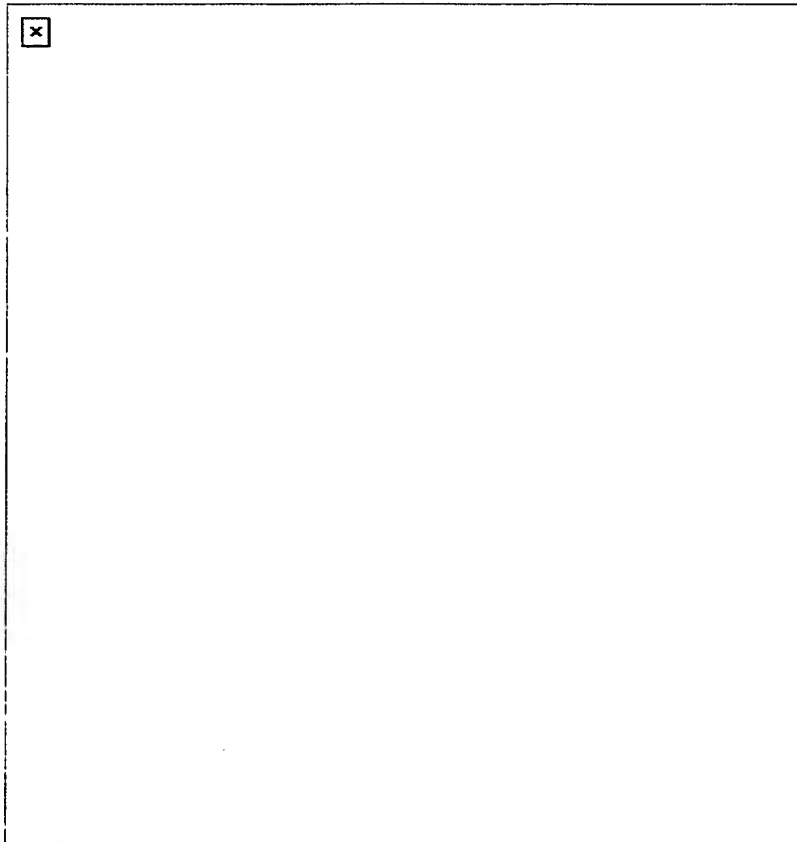
(71) Applicant:  
HYNIX SEMICONDUCTOR INC.

(72) Inventor:  
KIM, SI BEOM

(30) Priority:

(54) Title of Invention  
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Representative drawing



(57) Abstract:

PURPOSE: A semiconductor device having an MIM(Metal Insulator Metal) capacitor and a method for manufacturing the same are provided to simplify manufacturing processes by simultaneously forming a copper wire and MIM capacitor using dual damascene.

CONSTITUTION: A first interlayer dielectric (12) having first contact hole is formed on a silicon substrate(11). A lower copper wire (13) is formed in the first contact holes. A second interlayer dielectric(15) and a third interlayer dielectric(17) are sequentially formed on the resultant structure. A second and third contact hole are formed in the second interlayer dielectric(15) to expose the lower copper wire(13). Trenches are formed in the third contact hole. A capacitor(27) stacked sequentially a first barrier metal(20), a lower electrode(23a), a dielectric film(22a) and an upper electrode

(21a) is formed in the second contact hole and the trench. An upper copper wire(26a) is filled in the second and third contact hole and the trench.

© KIPO 2003

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 27/108

(11) 공개번호 특2002-0094598  
(43) 공개일자 2002년 12월 18일

(21) 출원번호 10-2001-0032906

(22) 출원일자 2001년 06월 12일

(71) 출원인 주식회사 하이닉스반도체

(72) 발명자 경기 이천시 부발읍 아미리 산136-1  
김시범

(74) 대리인 서울특별시광진구광장동현대아파트301동1005호  
강용복, 김용인

심사청구 : 없음

(54) 반도체소자 및 그의 제조방법

## 요약

공정을 단순화하면서 듀얼 다마신 구리배선과 동일레벨에 MIM 커패시터를 형성하기에 알맞은 반도체소자 및 그의 제조방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 반도체소자는 기판상에 복수개의 제 1 콘택홀을 갖고 형성된 제 1 층간절연막, 상기 제 1 층간절연막내의 상기 제 1 콘택홀에 형성된 복수개의 제 1 금속배선, 상기 제 1 금속배선을 포함한 상기 기판상에 차례로 형성된 제 2, 제 3 층간절연막, 상기 제 1 금속배선의 일정영역이 드러나도록 상기 제 2 층간절연막내에 형성된 제 2, 제 3 콘택홀, 상기 제 2, 제 3 콘택홀상에 각각 대응되게 상기 제 3 층간절연막내에 형성된 트렌치, 상기 제 2 콘택홀 및 그 상부 트렌치에 차례로 형성된 제 1 베리어 금속막과 커패시터 하부전극과 유전체막과 커패시터 상부전극, 상기 제 2 콘택홀 및 그 상부 트렌치의 상기 커패시터 상부전극상과 상기 제 3 콘택홀 및 그 상부 트렌치에 각각 형성된 제 2 베리어 금속막과, 상기 제 2, 제 3 콘택홀 및 그 상부 트렌치를 메우도록 상기 제 2 베리어 금속막상에 각각 형성된 제 2 금속배선을 포함하여 구성됨을 특징으로 한다.

## 대표도

## 도 1f

## 색인어

구리배선, 커패시터

## 명세서

## 도면의 간단한 설명

도 1a 내지 도 1f는 본 발명 반도체소자의 제조방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

- |                |                  |
|----------------|------------------|
| 11 : 실리콘기판     | 12 : 제 1 층간절연막   |
| 13 : 하부 구리배선   | 14 : 확산방지막       |
| 15 : 제 2 층간절연막 | 16 : 식각스톱층       |
| 17 : 제 3 층간절연막 | 18 : 하드마스크       |
| 19 : 제 1 콘택홀   | 20 : 제 1 베리어 메탈층 |
| 21 : 제 1 도전층   | 21a : 커패시터 상부전극  |
| 22 : 절연막       | 22a : 커패시터 유전체막  |
| 23 : 제 2 도전층   | 23a : 커패시터 하부전극  |
| 24 : 제 2 콘택홀   | 25 : 제 2 베리어 메탈층 |
| 26 : 구리막       | 26a : 구리배선       |
| 27 : 커패시터      |                  |

## 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자에 대한 것으로, 특히 공정을 단순화하면서 듀얼 다마신 구리배선과 동일레벨에 MIM 커패시터를 형성하기 위한 반도체소자 및 그의 제조방법에 관한 것이다.

다양한 로직 소자의 구성을 위하여 패시브 성분(passive component)인 커패시터가 소자 제조공정중에 제조된다.

이와 같은 커패시터에는 MPU소자에서의 디커플링 커패시터(decoupling capacitor), SOC(System On a Chip) 소자와 RF 소자에서의 각 블록간 임피던스 매칭(impedance matching)을 위한 커플링과 바이패스 커패시터(coupling and bypass capacitor), 아날로그 디지털 컨버터 또는 디지털 아날로그 컨버터에서의 커패시터 어레이가 있다.

이와 같은 커패시터의 구현을 위하여 종래에는 실리콘 정선을 이용한 정선 커패시터 또는 통상적인 알루미늄(Al) 배선 기술에서는 플라즈마 인핸스드 씨브이디(Plasma Enhanced Chemical Vapor Deposition:PECVD) SiN막을 유전체막으로 사용한 Al/SiN/Al의 MIM(Metal Insulator Metal) 커패시터가 사용되고 있다.

그러나 동작 주파수 증가 및 컨버터의 비트(bit) 증가에 따라 점점 대용량의 커패시터가 필요하게 되었다.

예를 들면 1GHz에서 동작하는 중앙처리장치(Central Processing Unit:CPU)의 경우 디커플링을 위해서는 400nF의 커패시터 용량이 필요하며, 이때 유전체막의 평균 두께(Toxeq)가 1nm라면 얻어질 수 있는 커패시턴스는 34.5nF/㎠이며, 결국 400nF를 위해서는 11.6㎠의 면적이 필요하다.

현재 사용되는 PECVD SiN 1000Å의 유전율이 7이라면 대략적인 Toxeq는 56nm이고 커패시턴스(capacitance)는 0.62nF/㎠이므로 400nF를 위해서는 645㎠ 면적의 커패시터가 제조되어야 한다는 결론이 나오며, 이는 반도체칩 제조에 실장될 수 없는 수치이다.

그리고 로직소자의 배선기술이 알루미늄(Al)에서 구리(Cu)로 옮겨가고 있고, 이에 따라서 대용량의 커패시턴스를 위한 고유전율 절연막 MIM 커패시터에 대한 필요성과 이를 듀얼 다마신 구리 배선공정에서 원활히 구현하는 문제가 현재 로직소자 업체의 중점 연구 개발 분야가 되고 있다.

### 발명이 이루고자하는 기술적 과제

상기와 같은 종래 반도체소자는 다음과 같은 문제가 있다.

현재의 듀얼 다마신 배선공정과 커패시터 형성 공정으로는 듀얼 다마신 패터닝 공정을 그대로 유지하면서 3차원 구조의 고유전상수를 갖는 MIM 커패시터를 제조하기 위한 공정이 복잡하다.

본 발명은 상기와 같은 문제를 해결하기 위하여 안출한 것으로 특히, 공정을 단순화하면서 듀얼 다마신 구리배선과 동일레벨에 MIM 커패시터를 형성하기에 알맞은 반도체소자 및 그의 제조방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명 반도체소자는 기판상에 복수개의 제 1 콘택홀을 갖고 형성된 제 1 층간절연막, 상기 제 1 층간절연막내의 상기 제 1 콘택홀에 형성된 복수개의 제 1 금속배선, 상기 제 1 금속배선을 포함한 상기 기판상에 차례로 형성된 제 2, 제 3 층간절연막, 상기 제 1 금속배선의 일 정영역이 드러나도록 상기 제 2 층간절연막내에 형성된 제 2, 제 3 콘택홀, 상기 제 2, 제 3 콘택홀상에 각각 대응되게 상기 제 3 층간절연막내에 형성된 트렌치, 상기 제 2 콘택홀 및 그 상부 트렌치에 차례로 형성된 제 1 베리어 금속막과 커패시터 하부전극과 유전체막과 커패시터 상부전극, 상기 제 2 콘택홀 및 그 상부 트렌치의 상기 커패시터 상부전극상과 상기 제 3 콘택홀 및 그 상부 트렌치에 각각 형성된 제 2 베리어 금속막과, 상기 제 2, 제 3 콘택홀 및 그 상부 트렌치를 메우도록 상기 제 2 베리어 금속막상에 각각 형성된 제 2 금속배선을 포함하여 구성됨을 특징으로 한다.

상기와 같은 구성을 갖는 본 발명 반도체소자의 제조방법은 기판상에 복수개의 제 1 콘택홀을 갖도록 제 1 층간절연막을 형성하는 단계, 상기 제 1 층간절연막내의 상기 제 1 콘택홀에 복수개의 제 1 금속배선을 형성하는 단계, 상기 제1금속배선을 포함한 상기 제1층간절연막상에 차례로 제2, 제3층간절연막을 형성하는 단계, 상기 제1금속배선과 적어도 하나가 대응되게 상기 제3층간절연막에 복수개의 제1트렌치를 형성하는 단계, 상기 제 1 금속배선과 대응되는 상기 제1트렌치하부의 상기 제 2 층간절연막에 제1비아홀을 형성하는 단계, 상기 제3층간절연막의 일영역이 드러나도록, 상기 제1비아홀과 상기 제1트렌치를 포함한 상기 제3층간절연막상에 제 1 베리어 금속막과 제1도전층과 절연막과 제2도전층을 차례로 형성하는 단계, 상기 제1금속배선과 적어도 하나가 대응되게 상기 드러난 제3층간절연막에 복수개의 제2트렌치를 형성하는 단계, 상기 제 1 금속배선과 대응되는 제2트렌치하부의 상기 제 2 층간절연막에 제2비아홀을 형성하는 단계, 상기 전면면에 제2베리어금속막과 제3도전층을 형성하는 단계, 연마공정으로 상기 제1 비아홀과 상기 제1트렌치내에 제1베리어금속막과 커패시터를 형성함과 동시에 상기 커패시터와 동일레벨을 이루도록 상기 제2비아홀과 상기 제2트렌치내에 제2금속배선을 형성함을 특징으로 한다.

본 발명은 듀얼 다마신 공정을 이용하여 구리배선을 형성하는 공정에서 MIM 커패시터를 듀얼 다마신 공정으로 구리배선과 같은 레벨에 형성하기 위한 것이다.

첨부 도면을 참조하여 본 발명 반도체소자 및 그의 제조방법에 대하여 설명하면 다음과 같다.

도 1a 내지 도 1f는 본 발명 반도체소자의 제조방법을 나타낸 공정단면도이다.

본 발명 반도체소자는 도 1f에 도시된 바와 같이 실리콘기판(11)에 복수개의 콘택홀을 갖는 제 1 층간절연막(12)이 있고, 각각의 콘택홀에는 하부 구리배선(13)이 형성되어 있다.

그리고 하부 구리배선(13)을 포함한 제 1 층간절연막(12)상에 확산방지막(14)과 제 2 층간절연막(15)과 식각스톱층(16)과 제 3 층간절연막(17)과 하드마스크(18)가 적층 형성되어 있다.

그리고 하부 구리배선(13)의 일영역이 드러나도록 확산방지막(14)과 제 2 층간절연막(15)과 식각스톱층(16)에 제 1 콘택홀(비아홀)(19)(도 1b참조)과 제 2 콘택홀(비아홀)(도 1d 참조)(24)이 형성되어 있다.

그리고 상기 제 1 콘택홀(19)과 제 2 콘택홀(24)보다 넓은폭으로 이에 대응되게 제 3 층간절연막(17)과 하드마스크(18)에 각각 트렌치가 형성되어 있다.

이때 트렌치는 제 1, 제 2 콘택홀 상부 외에도 하부 구리배선(13)과 대응되게 제 3 층간절연막(17)과 하드마스크(18)에도 형성되어 있다.

그리고 제 1 콘택홀(19) 및 그 상부의 트렌치내에는 제 1 베리어 메탈층(20)과 커패시터 하부전극(21a)과 커패시터 유전체막(22a)과 커패시터 상부전극(23a)과 제 2 베리어 메탈층(25)이 차례로 형성되어 있고, 제 1 콘택홀 및 그 상부의 트렌치를 메우도록 제 2 베리어 메탈층(25)상에 구리배선(26a)이 형성되어 있다.

이때 커패시터 하부전극(21a)과 커패시터 유전체막(22a)과 커패시터 상부전극(23a)은 커패시터(27)를 구성한다.

그리고 제 2 콘택홀(24) 및 그 상부의 트렌치 표면을 따라서 제 2 베리어 메탈층(25)이 형성되어 있고, 제 2 콘택홀 및 그 상부의 트렌치를 메우도록 제 2 베리어 메탈층(25)상에 구리배선(26a)이 형성되어 있다.

상기 제 1 콘택홀 및 그 상부의 트렌치와, 제 2 콘택홀 및 그 상부의 트렌치는 각각 듀얼 다마신 구조를 이루고 있다.

그리고 상기에 설명한 바와 같이 제 1 콘택홀 및 그 상부 트렌치에 형성된 커패시터(27)와 제 2 콘택홀 및 그 상부 트렌치에 형성된 구리배선(26a)은 동일 레벨에 형성되어 있다.

다음에 상기와 같은 구성을 갖는 본 발명 반도체 소자의 제조방법에 대하여 설명한다.

먼저, 도 1a에 도시한 바와 같이 실리콘기판(11)상의 제 1 층간절연막(12)에 듀얼 다마신 공정으로 복수개의 하부 구리배선(13)을 형성한다.

그리고 하부 구리배선(13)을 포함한 상기 제 1 층간절연막(12)상에 확산방지막(14)과 제 2 층간절연막(15)과 식각스톱층(16)과 제 3 층간절연막(17)과 하드마스크(18)를 차례로 형성한다.

이때 제 2 층간절연막(15)은 차후에 상/하부 구리배선이 연결되는 비아홀을 형성하기 위한 층이고, 제 3 층간절연막(17)은 상층부 구리배선을 형성하기 위한 층이다.

그리고 제 2, 제 3 층간절연막(15, 17)은 실리콘산화막( $\text{SiO}_2$ )이나 FSG(Fluorine doped Silicate Glass) 또는 유전상수가 대략 1.0~3.0의 범위를 갖는 저유전 절연막으로 형성한다.

그리고 제 2, 제 3 층간절연막(15, 17)의 증착방식은  $450^\circ\text{C}$  이하의 온도에서 공정이 가능한 PECVD(Plasma Enhanced Chemical Vapor Deposition), HDP-CVD(High Density Plasma-CVD), APCVD(Atmospheric Pressure CVD)나 스프인 코팅 방식에 의해서 진행할 수 있다.

그리고 확산방지막(14)과 식각스톱층(16)과 하드마스크(18)는 PECVD 방식으로 실리콘 나이트라이드( $\text{SiN}$ )나 실리콘 카본( $\text{SiC}$ ) 또는 실리콘 카보나이트라이드( $\text{SiCN}$ )를 증착하여 형성하고, 두께는 100~1000Å 범위를 갖도록 한다.

상기에서 듀얼 다마신 패터닝방식에 따라 또는 사용되는 막의 종류에 따라 식각스톱층(16)과 하드마스크(18)는 생략할 수 있다.

다음에 도면에는 도시되어 있지 않지만 하드마스크(18)상에 제 1 감광막을 도포하고 노광 및 현상공정으로 선택적으로 제 1 감광막을 패터닝한다.

이후에 패터닝된 제 1 감광막을 마스크로 도 1b에 도시한 바와 같이 하드마스크(18)와 제 3 층간절연막(17)을 차례로 식각하여 복수개의 트렌치를 형성한다. 그리고 제 1 감광막을 제거한다.

그리고 도면에는 도시되어 있지 않지만 전면에 제 2 감광막을 도포하고 노광 및 현상공정으로 MIM(Metal Insulator Metal) 커패시터가 형성될 식각스톱층 상부만 드러나도록 제 2 감광막을 선택적으로 패터닝 한다.

이후에 패터닝된 제 2 감광막을 마스크로 식각스톱층(16)과 제 2 층간절연막(15)과 확산방지막(14)을 차례로 식각해서 하부 구리배선(13)상에 제 1 콘택홀(19)을 형성한다. 그리고 제 2 감광막을 제거한다.

이상은 트렌치(trench)를 먼저 형성한 후 제1콘택홀을 형성하는 방법으로 통상 trench first dual damascene 공정이라 칭한다. 이와 유사한 방법으로 제1콘택홀을 먼저 형성한 후 트렌치 구조를 패터닝하여 공정을 진행 할 수도 있다. 더 나아가서는 듀얼 하드마스크(dual hardmask)를 사용한 듀얼 다마신 공정을 채택할 수도 있다.

종합하면 도 1b에 나타난 트렌치와 콘택홀 구조 형성을 위하여 통상적으로 알려진 다양한 듀얼 다마신 구조 형성방법이 사용된다.

상기와 같은 공정에 의해서 일정영역의 하부 구리배선(13)이 드러나며 식각스텝층(16)상에 전체적으로 꾸불꾸불한 형상(Serpentine 형상)의 트렌치가 형성되게 된다.

이와 같은 구조는 차후에 커패시턴스를 증대시키기 위한 것이다.

다음에 도 1c에 도시한 바와 같이 제 1 콘택홀(19)과 복수개의 트렌치를 포함한 하드마스크(18)상에 제 1 베리어 메탈층(20)과 제 1 도전층(21)과 절연막(22)과 제 2 도전층(23)을 차례로 증착한다.

이때 제 1 베리어 메탈층(20)은 구리(Cu)로 구성된 것으로 구리의 아웃디퓨전(outdiffusion)에 의해 커패시터가 전기적으로 열화되는 것을 방지하기 위한 것이다.

그리고 제 1 베리어 메탈층(20)의 증착은 베리어 메탈 증착 장비에 웨이퍼를 넣은 후, 고진공하에서의 디가스(degas) 처리를 하고 이후에 아르곤 스퍼터 크리닝 또는 H<sub>2</sub>나 NH<sub>3</sub>와 같은 H를 포함한 플라즈마를 이용한 반응성 크리닝 후에 진행한다.

그리고 제 1 베리어 메탈층(20)은 구리외에도 Ta, TaN, TiN, WN, TaC, WC, TiSiN, TaSiN 또는 이들을 적층 조합하여 형성할 수 있고, PVD(Physical Vapor Deposition)나 CVD(Chemical Vapor Deposition)나 ALD(Atomic Layer Deposition)를 사용하여 증착할 수 있다.

그리고 상기에서 제 1 도전층(21)은 차후에 커패시터의 하부전극을 형성하기 위한 것이고, 절연막(22)은 커패시터의 유전체막을 형성하기 위한 것이며, 제 2 도전층(23)은 커패시터의 상부전극을 형성하기 위한 것이다.

그리고 상기 제 1, 제 2 도전층(21,23)은 Pt, Ru, Ir나 W 금속을 사용하며 CVD, PVD 또는 ALD 방법으로 증착한다.

그리고 절연막(22)은 Ta 산화물, Ba-Sr-Ti 산화물, Zr 산화물, HF 산화물, Pb-Zn-Ti 산화물이나 Sr-Bi-Ta 산화물을 사용하며 CVD, PVD나 ALD 방법으로 증착한다.

이후에 도면에는 도시되어 있지 않지만 제 2 도전층(23)상에 제 3 감광막을 도포하고 노광 및 현상공정으로 MIM 커패시터 형성영역에만 남도록 제 3 감광막을 선택적으로 패터닝한다.

그리고 패터닝된 제 3 감광막을 마스크로 상기 제 2 도전층(23)과 절연막(22)과 제 1 도전층(21)과 제 1 베리어 메탈층(20)을 차례로 식각한다. 그리고 제 3 감광막을 제거한다.

다음에 도 1d에 도시한 바와 같이 제 2 도전층(23)과 하드마스크(18)를 포함한 전면에 제 4 감광막(도면에 도시되지 않음)을 도포하고 노광 및 현상공정으로 선택적으로 제 4 감광막을 패터닝한다.

이후에 패터닝된 제 4 감광막을 마스크로 도 1d에 도시한 바와 같이 하드마스크(18)와 제 3 층간절연막(17)을 차례로 식각하여 복수개의 트렌치를 형성한다. 그리고 제 4 감광막을 제거한다.

그리고 도면에는 도시되어 있지 않지만 전면에 제 5 감광막을 도포하고 노광 및 현상공정으로 구리배선이 형성될 식각스텝층(16) 상부만 드러나도록 제 5 감광막을 선택적으로 패터닝 한다.

이후에 패터닝된 제 5 감광막을 마스크로 식각스텝층(16)과 제 2 층간절연막(15)과 확산방지막(14)을 차례로 식각해서 하부 구리배선(13)상에 제 2 콘택홀(24)을 형성한다. 그리고 제 5 감광막을 제거한다.

이상은 트렌치(trench)를 먼저 형성한 후 제2콘택홀을 형성하는 방법으로 통상 trench first dual damascene 공정이라 칭한다. 이와 유사한 방법으로 제2콘택홀을 먼저 형성한 후 트렌치 구조를 패터닝하여 공정을 진행 할 수도 있다. 더 나아가서는 듀얼 하드마스크(dual hardmask)를 사용한 듀얼 다마신 공정을 채택할 수도 있다.

종합하면 도 1d에 나타난 트렌치와 콘택홀 구조 형성을 위하여 통상적으로 알려진 다양한 듀얼 다마신 구조 형성방법이 사용된다.

상기에서와 같이 구리배선을 형성할 부분도 듀얼 다마신 구조를 갖도록 한다.

다음에 도 1e에 도시한 바와 같이 제 2 도전층(23)과 트렌치와 하드마스크(18)와 제 2 콘택홀(24)을 포함한 전면에 제 2 베리어 메탈층(25)을 증착한다.

이때 제 2 베리어 메탈층(25)은 제 1 베리어 메탈층(20)과 같이 구리(Cu)로 구성된 것으로 구리의 아웃디퓨전(outdiffusion)에 의해 커패시터가 전기적으로 열화되는 것을 방지하고 또한 절연막의 절연특성 저하를 방지하기 위한 것이다.

그리고 제 2 베리어 메탈층(25)의 증착은 베리어 메탈 증착 장비에 웨이퍼를 넣은후 고진공하에서의 디가스(degas) 처리, 아르곤 스퍼터 크리닝 또는 H<sub>2</sub>나 NH<sub>3</sub>와 같은 H를 포함한 플라즈마를 이용한 반응성 크리닝 후에 진행한다.

그리고 제 2 베리어 메탈층(25)은 구리외에도 Ta, TaN, TiN, WN, TaC, WC, TiSiN, TaSiN 또는 이들을 적층 조합하여 형성할 수 있고, PVD(Physical Vapor Deposition)나 CVD(Chemical Vapor Deposition)나 ALD(Atomic Layer Deposition)를 사용하여 증착할 수 있다.

이후에 도 1e에 도시한 바와 같이 트렌치 상부 및 제 1, 제 2 콘택홀(19,24) 상부를 매립하도록 전면에 구리막(26)을 차례로 증착한다.

이때 구리막(26)은 PVD 또는 CVD법에 의한 씨드 구리막과, 전해도금에 의한 구리막 형성을 조합하거나, 일렉트로리스(Electroless) 구리 증착에 의한 씨드 구리막과 전해도금에 의한 구리막 형성을 조합하거나, 이들 전체의 방법을 조합하여 진행한다.

다음에 도 1f에 도시한 바와 같이 화학적 기계적 연마공정으로 하드마스크(18)가 드러나도록 구리막(26)과 제 2 베리어 메탈층(25)과 제 2 도전층(23)과 절연막(22)과 제 1 도전층(21)과 제 1 베리어

어 메탈층(20)을 연마한다.

이에 의해서 제 1 콘택홀의 듀얼 다마신 영역에는 제 1 베리어 메탈층(20)과 커패시터 하부전극(21a)과 커패시터 유전체막(22a)과 커패시터 상부전극(23a)과 제 2 베리어 메탈층(25)과 구리배선(26a)이 차례로 적층 형성된다.

그리고 제 2 콘택홀의 듀얼 다마신 영역에는 제 2 베리어 메탈층(25)과 구리배선(26a)이 적층 형성된다.

이때 MIM 커패시터(27)는 커패시터 하부전극(21a)과 커패시터 유전체막(22a)과 커패시터 상부전극(23a)을 포함하여 구성된다.

그리고 구리배선(26a)은 제 1, 제 2 콘택홀을 채우도록 형성된다.

이와 같이 동일 레벨에 MIM 커패시터(27)와 구리배선(26a)이 형성된다.

그리고 다마신 구조의 3차원 구조에 MIM 커패시터(27)를 형성시킴으로써 커패시턴스를 증가시킬 수 있다.

차후에 다른 구리배선을 형성할 필요가 있는 경우에 다시 확산방지막/충간절연막/식각스톱층/충간절연막/하드마스크를 차례로 증착시켜서 다른 공정을 진행할 수 있다.

#### 발명의 효과

상기와 같은 본 발명 반도체소자 및 그의 제조방법은 다음과 같은 효과가 있다.

듀얼 다마신 구조로 구리배선을 형성하는 공정에서, 구리배선과 동일 레벨에 MIM 커패시터를 제조할 수 있으므로 MIM 커패시터의 제조를 위한 메탈층 수를 증가시킬 필요가 없다.

이에 따라서 공정을 단순화 시키기에 용이하다.

#### (57) 청구의 범위

##### 청구항 1

기판상에 복수개의 제 1 콘택홀을 갖고 형성된 제 1 충간절연막,

상기 제 1 충간절연막내의 상기 제 1 콘택홀에 형성된 복수개의 제 1 금속배선,

상기 제 1 금속배선을 포함한 상기 기판상에 차례로 형성된 제 2, 제 3 충간절연막,

상기 제 1 금속배선의 일정영역이 드러나도록 상기 제 2 충간절연막내에 형성된 제 2, 제 3 콘택홀,

상기 제 2, 제 3 콘택홀상에 각각 대응되게 상기 제 3 충간절연막내에 형성된 트렌치,

상기 제 2 콘택홀 및 그 상부 트렌치에 차례로 형성된 제 1 베리어 금속막과 커패시터 하부전극과 유전체막과 커패시터 상부전극,

상기 제 2 콘택홀 및 그 상부 트렌치의 상기 커패시터 상부전극상과 상기 제 3 콘택홀 및 그 상부 트렌치에 각각 형성된 제 2 베리어 금속막과,

상기 제 2, 제 3 콘택홀 및 그 상부 트렌치를 메우도록 상기 제 2 베리어 금속막상에 각각 형성된 제 2 금속배선을 포함하여 구성됨을 특징으로 하는 반도체소자.

##### 청구항 2

제 1 항에 있어서, 상기 제 1 충간절연막상에는 확산방지막이 더 형성됨을 특징으로 하는 반도체소자.

##### 청구항 3

제 1 항에 있어서, 상기 제 2 충간절연막상에는 식각스톱층이 더 형성됨을 특징으로 하는 반도체소자.

##### 청구항 4

제 1 항에 있어서, 상기 제 3 충간절연막상에는 하드마스크가 더 형성됨을 특징으로 하는 반도체소자.

##### 청구항 5

제 1 항에 있어서, 상기 제 2, 제 3 콘택홀 상부의 각 트렌치는 상기 제 2, 제 3 콘택홀 보다 그 폭이 더 큰 것을 특징으로 하는 반도체소자.

##### 청구항 6

제 1 항에 있어서, 상기 제 2 콘택홀 및 그 상부의 트렌치와 상기 제 3 콘택홀 및 그 상부의 트렌치는 각각 듀얼 다마신 구조로 형성됨을 특징으로 하는 반도체소자.

##### 청구항 7

제 1 항에 있어서, 상기 제 1, 제 2 금속배선은 구리로 구성됨을 특징으로 하는 반도체소자.

##### 청구항 8

제 1 항에 있어서, 상기 제 2 금속배선은 물리적/화학적 증착법에 의한 씨드 구리막과 전해도금된 구리막의 조합에 의해 구성되거나, 무전해법에 의한 씨드 구리막과 전해도금된 구리막의 조합에 의해 구성됨을 특징으로 하는 반도체 소자.

#### 청구항 9

기판상에 복수개의 제 1 콘택홀을 갖도록 제 1 층간절연막을 형성하는 단계,

상기 제 1 층간절연막내의 상기 제 1 콘택홀에 복수개의 제 1 금속배선을 형성하는 단계,

상기 제1금속배선을 포함한 상기 제1층간절연막상에 차례로 제2, 제3층간절연막을 형성하는 단계,

상기 제1금속배선과 적어도 하나가 대응되게 상기 제3층간절연막에 복수개의 제1트렌치를 형성하는 단계,

상기 제 1 금속배선과 대응되는 상기 제1트렌치하부의 상기 제 2 층간절연막에 제1비아홀을 형성하는 단계,

상기 제3층간절연막의 일영역이 드러나도록, 상기 제1비아홀과 상기 제1트렌치를 포함한 상기 제3층간절연막상에 제 1 베리어 금속막과 제1도전층과 절연막과 제2도전층을 차례로 형성하는 단계,

상기 제1금속배선과 적어도 하나가 대응되게 상기 드러난 제3층간절연막에 복수개의 제2트렌치를 형성하는 단계,

상기 제 1 금속배선과 대응되는 제2트렌치하부의 상기 제 2 층간절연막에 제2비아홀을 형성하는 단계,

상기 전면에 제2베리어금속막과 제3도전층을 형성하는 단계,

연마공정으로 상기 제1비아홀과 상기 제1트렌치내에 제1베리어금속막과 커패시터를 형성함과 동시에 상기 커패시터와 동일레벨을 이루도록 상기 제2비아홀과 상기 제2트렌치내에 제2금속배선을 형성함을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 10

제 9 항에 있어서, 상기 제1, 제2금속배선은 구리로 형성함을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 11

제 9 항에 있어서, 상기 제1, 제2베리어금속막은 구리, Ta, TaN, TiN, WN, TaC, WC, TiSiN, TaSiN 또는 이들을 적층 조합하여 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 12

제 9 항에 있어서, 상기 제1, 제2도전층은 Pt, Ru, Ir나 W으로 형성함을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 13

제 9 항에 있어서, 상기 절연막은 Ta 산화물, Ba-Sr-Ti 산화물, Zr 산화물, HF 산화물, Pb-Zn-Ti 산화물이나 Sr-Bi-Ta 산화물을 사용하여 형성함을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 14

제 9 항에 있어서, 상기 제1, 제2베리어금속막과 상기 제1, 제2도전층과 상기 절연막은 PVD(Physical Vapor Deposition)나 CVD(Chemical Vapor Deposition)나 ALD(Atomic Layer Deposition)로 형성함을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 15

제 9 항에 있어서, 상기 제1베리어금속막과 상기 제2베리어금속막을 각각 형성하기 전에 베리어 금속 증착장비에 웨이퍼를 넣은 후 고진공하에서의 디가스(degas)처리하는 단계,

아르곤 스퍼터 크리닝 또는 H<sub>2</sub>나 NH<sub>3</sub>와 같은 H를 포함한 플라즈마를 이용한 반응성 크리닝 하는 단계를 더 포함함을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 16

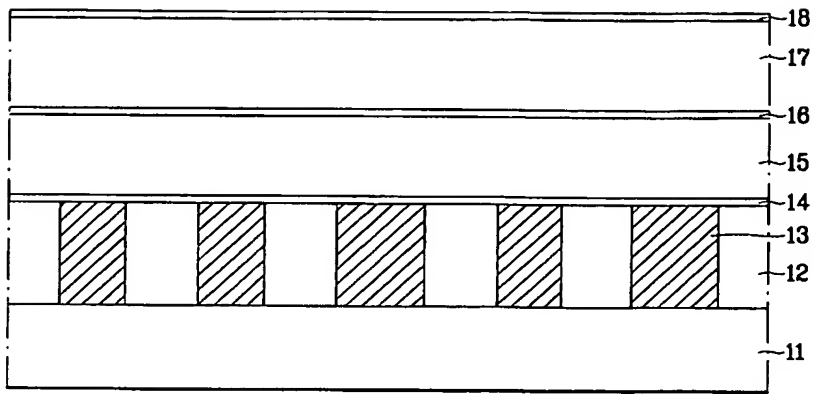
제 9 항에 있어서, 상기 제3도전층은 구리막으로 형성함을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 17

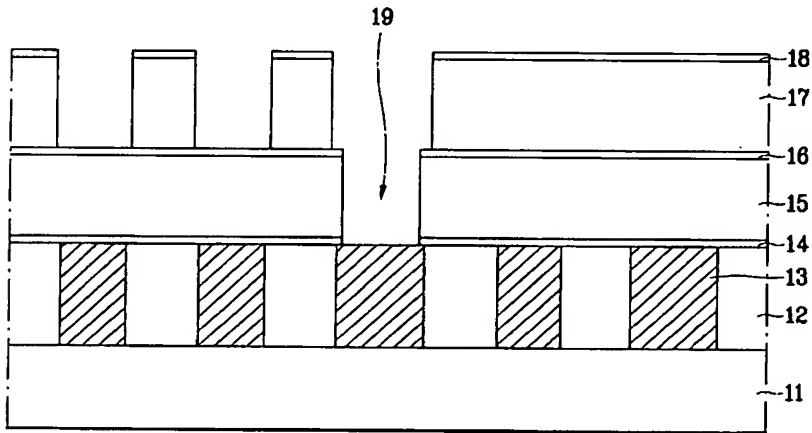
제 9 항에 있어서, 상기 제3도전층은 PVD나 CVD법에 의한 씨드 구리막과 전해도금에 의한 구리막 형성을 조합하거나, 일렉트로리스(Electroless) 구리 증착에 의한 씨드 구리막과 전해도금에 의한 구리막 형성을 조합하거나 이들 전체의 방법을 조합하여 형성함을 특징으로 하는 반도체소자의 제조방법.

도면

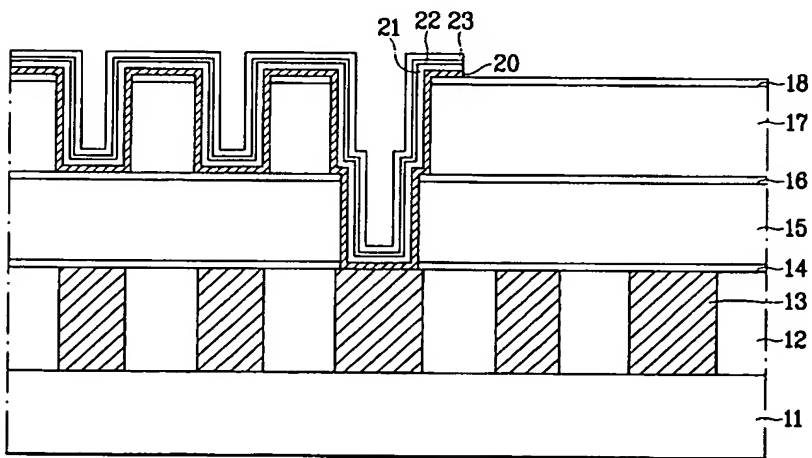
도면 1a



도면 1b

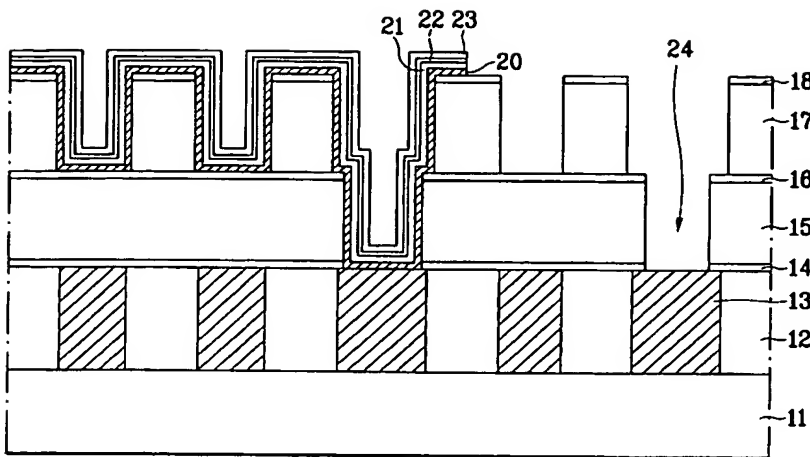


도면 1c

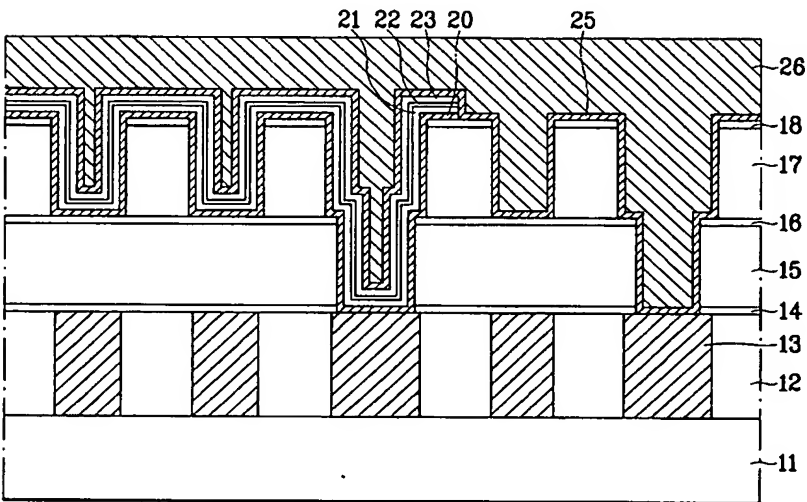




도면 1d



도면 1e



도면 1f

